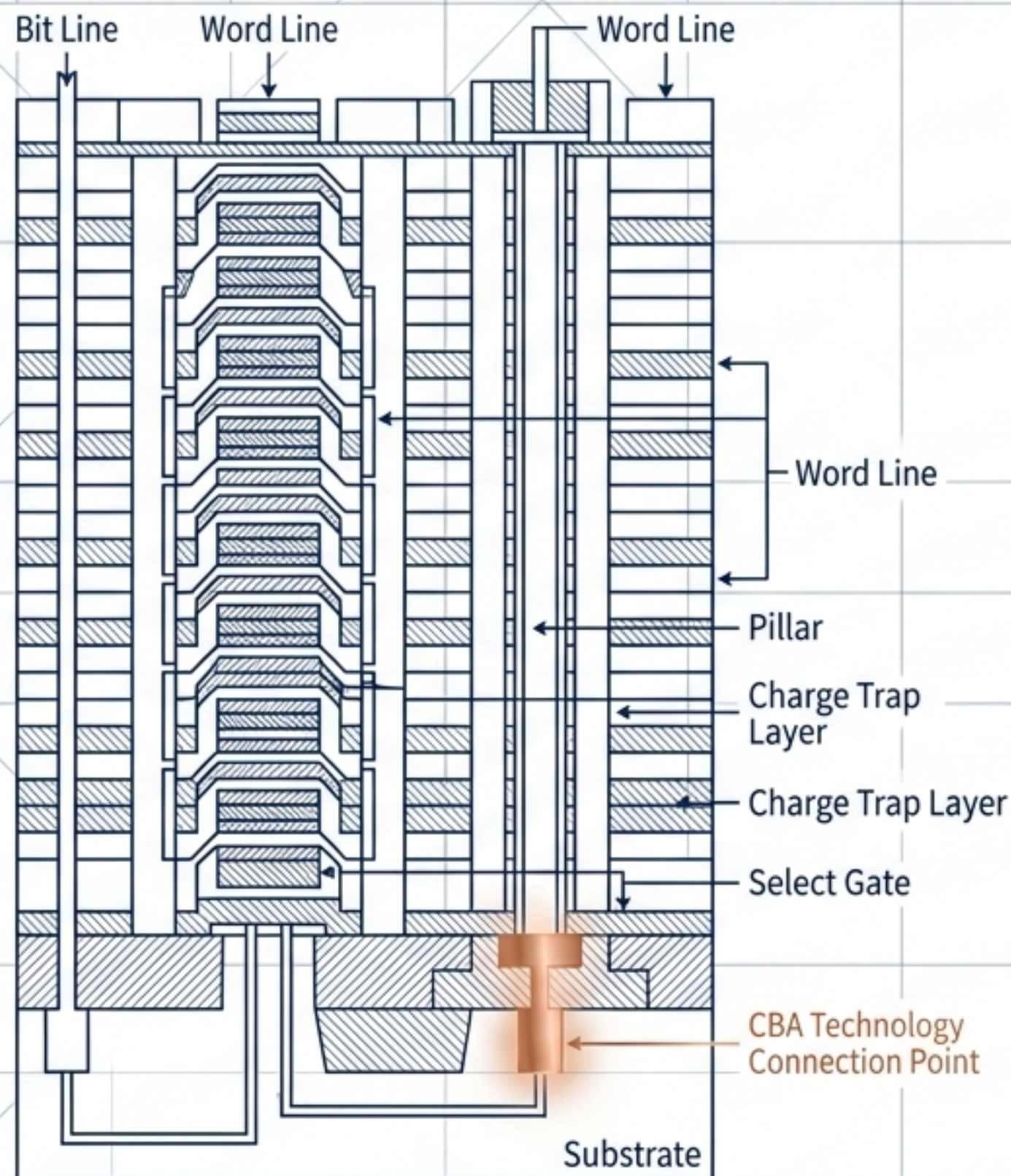




キオクシア特許・技術・市場戦略 統合分析レポート

3D NANDの高積層化限界（400層の壁） 突破と次世代メモリ階層への布石

ターゲット読者：アナリスト・投資家・技術戦略担当者

ドキュメントタイプ：Standalone Reading Deck

両利きの経営：NANDの防衛と次世代への布石

コア防衛

3D NANDコア技術・
製造プロセスにおける
特許の集中。
ウェハボンディング(CBA)
による400層超えの
アーキテクチャ高度化。

深化 (Deepen) : 3D NANDコア基盤

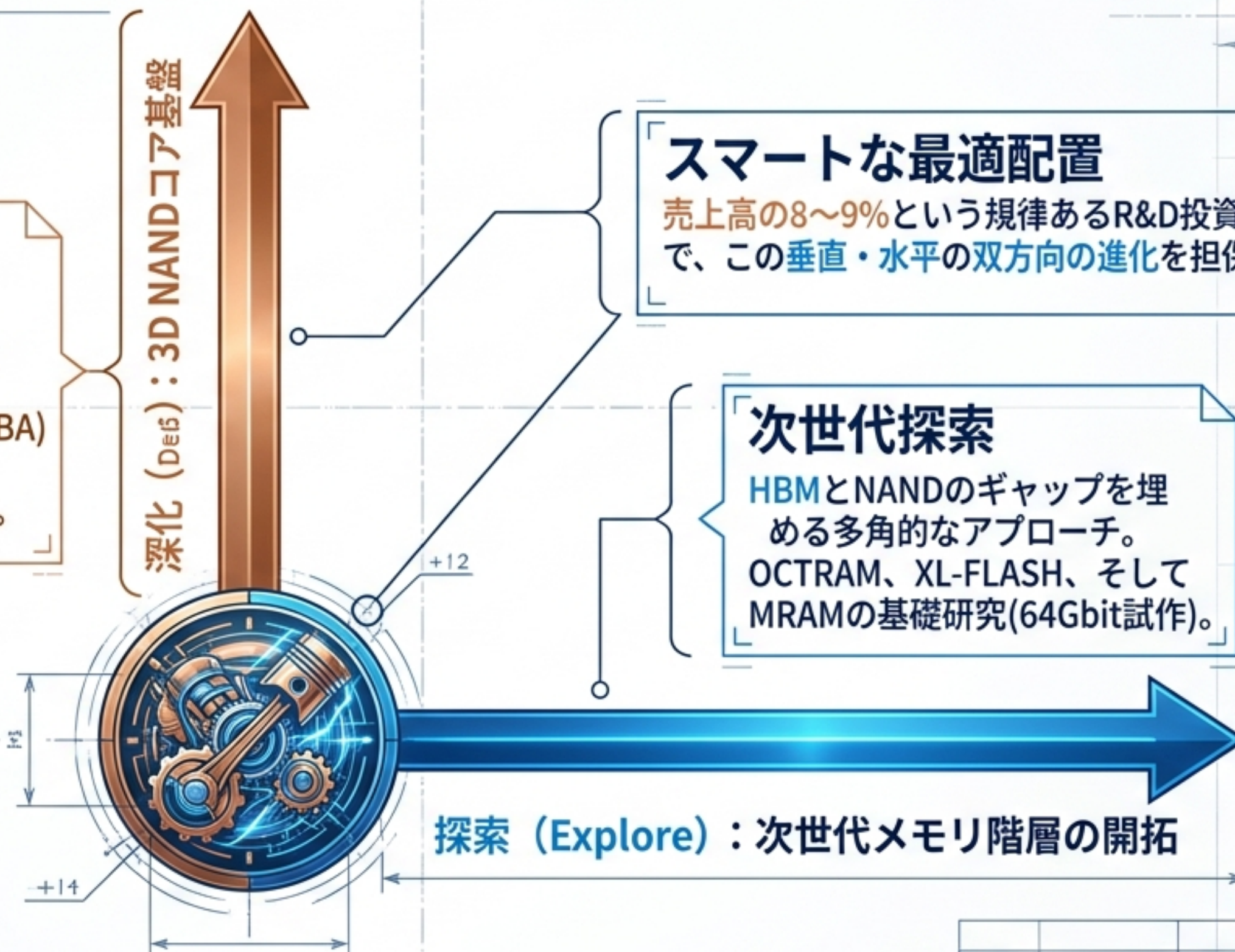
スマートな最適配置

売上高の8~9%という規律あるR&D投資
で、この垂直・水平の双方向の進化を担保。

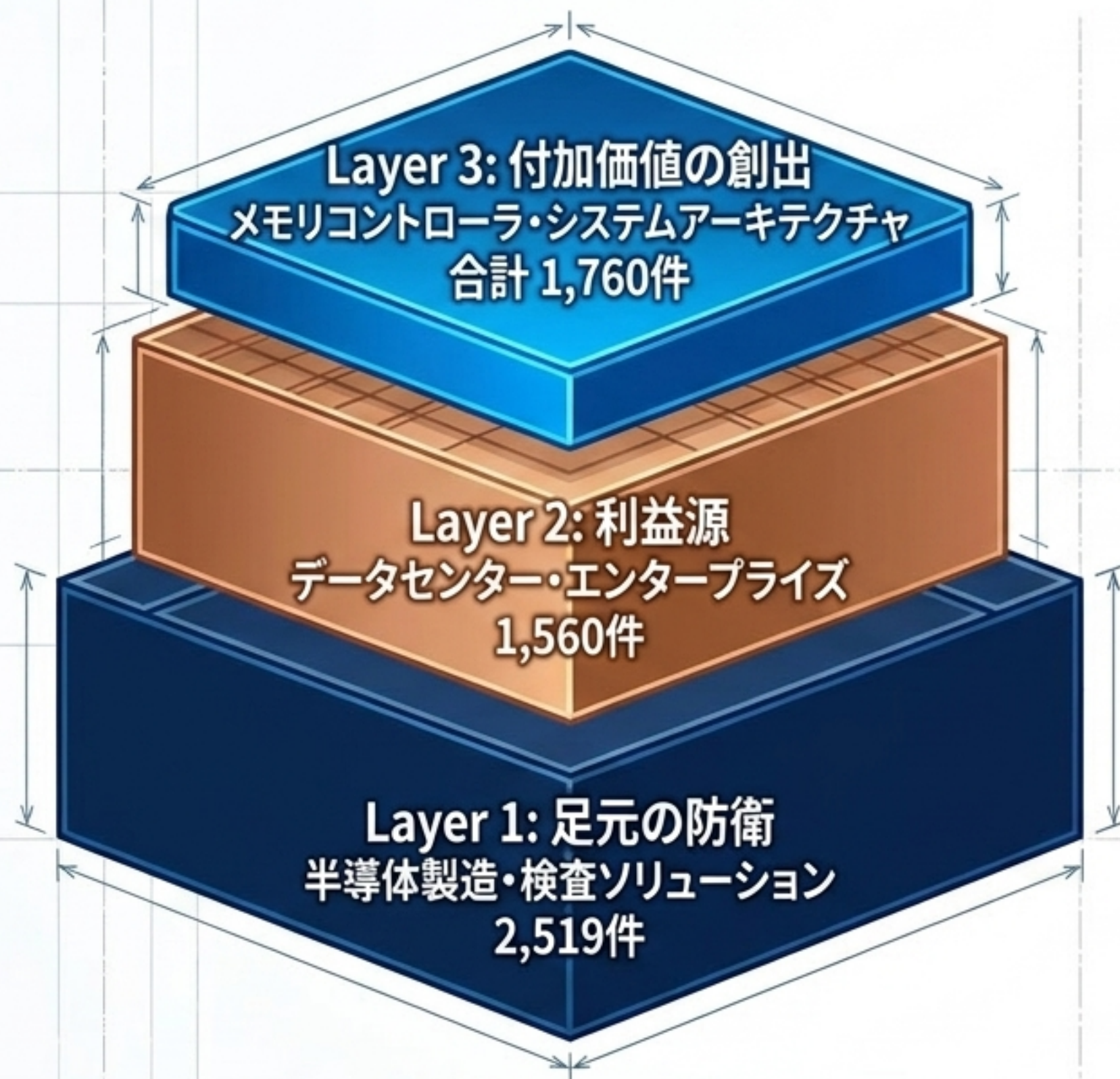
次世代探索

HBMとNANDのギャップを埋
める多角的なアプローチ。
OCTRAM、XL-FLASH、そして
MRAMの基礎研究(64Gbit試作)。

探索 (Explore) : 次世代メモリ階層の開拓



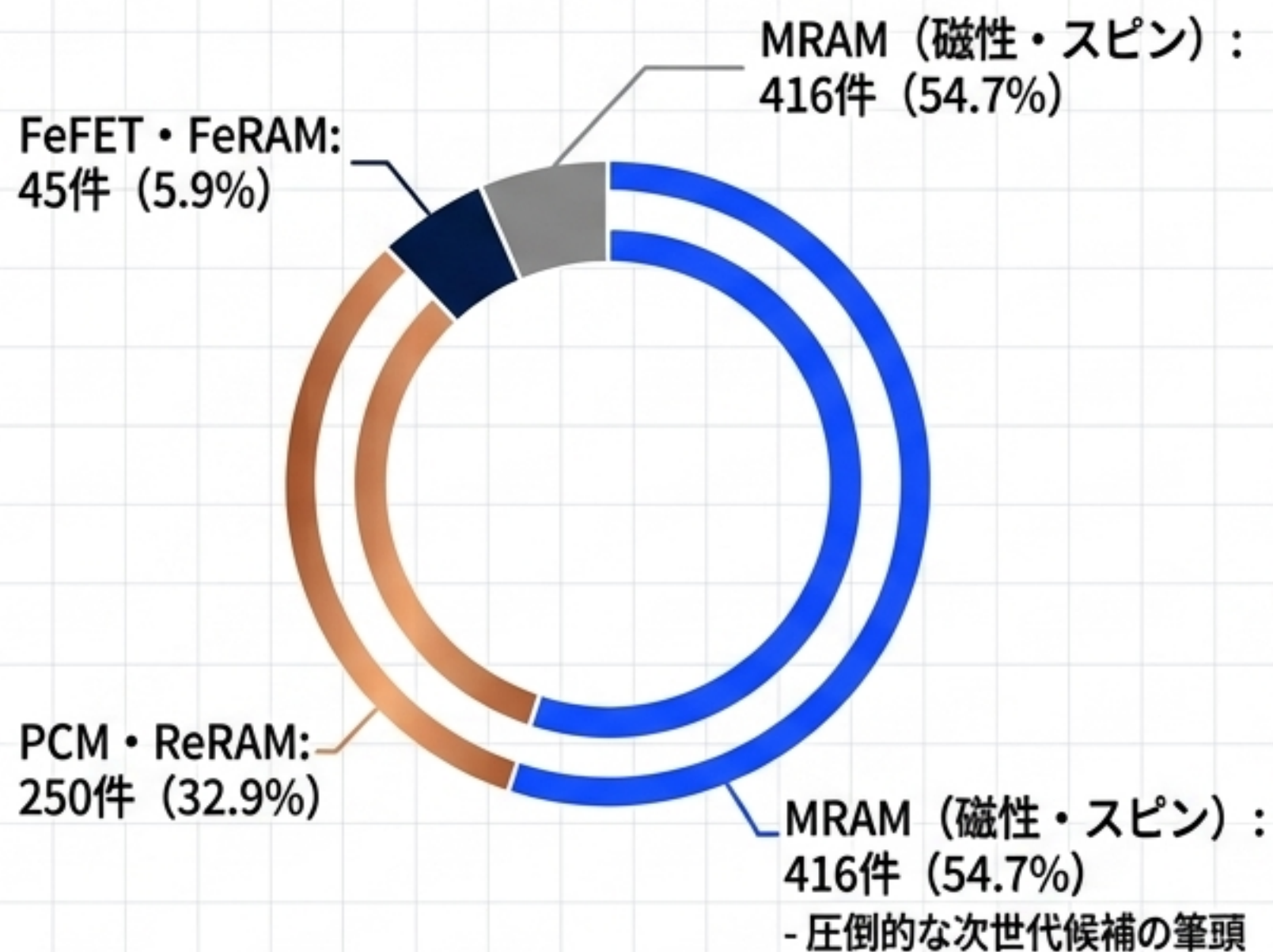
特許データが示す戦略：下位レイヤーの防衛と上位レイヤーでの付加価値創出



戦略的インサイト

2024年12月時点で14,000件超の登録特許を活用。圧倒的ボリュームを誇る下位レイヤーで現在のコアである3D NAND製造技術を強固に防衛。同時に、単なるチップ製造からの脱却を図り、利益源であるデータセンター向けのシステム・コントローラ層へと付加価値のシフトを進めている。

次世代メモリにおけるMRAMへの重点投資と現在のフェーズ



※ デバイス構造(480件)からシステム(192件)までフルスタックで展開。

○ Milestone: 2025年

ISSCC等にて「64 GbitクロスポイントMRAM」の試作と新規読出し回路の実証を発表。

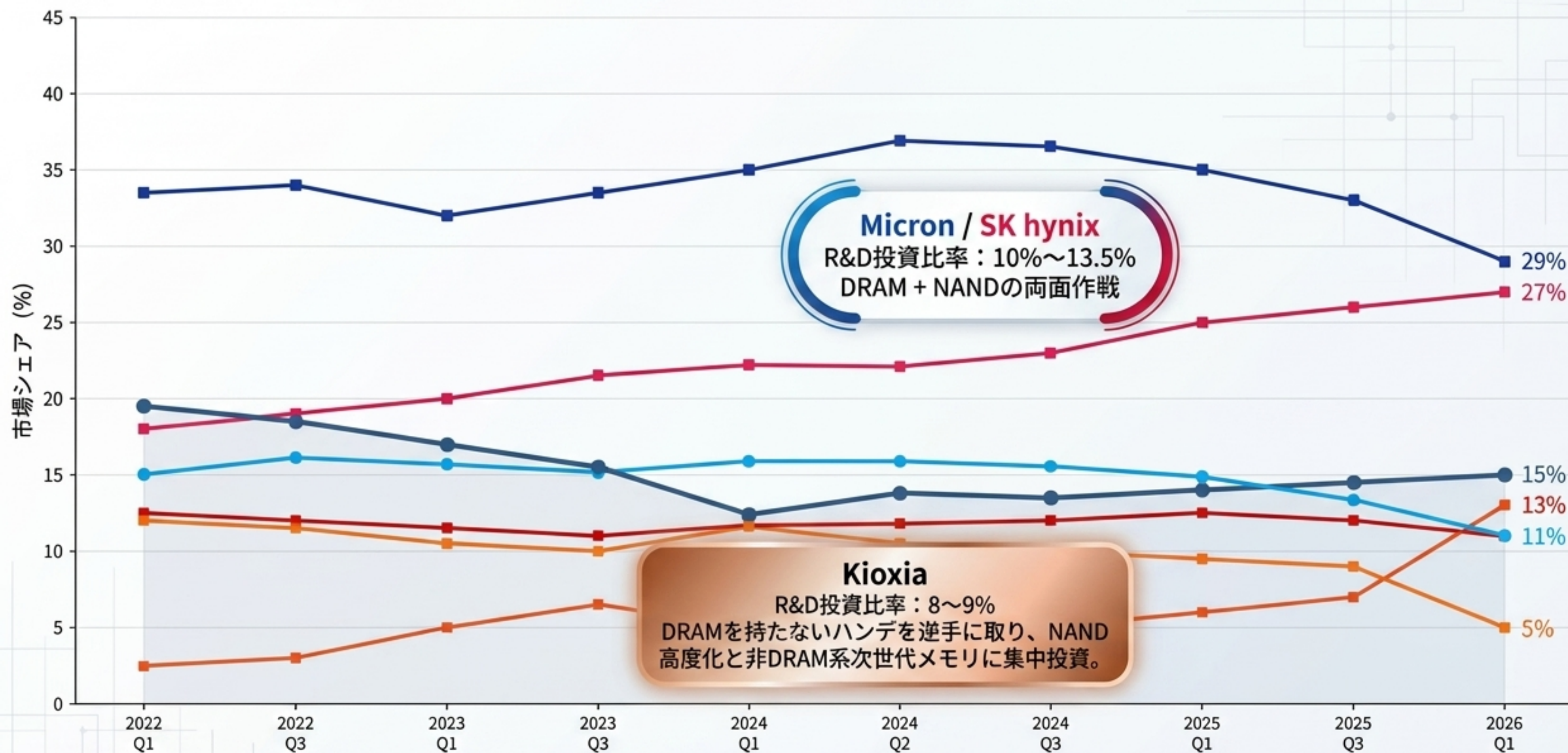
○ Target: SCM

ストレージクラスメモリ (SCM) およびCXLシステムへの応用を想定。

○ Strategic Verdict: 現状のフェーズ

現時点で量産ロードマップは未公表。NANDの安価・大容量を全面的に代替するものではなく、将来の市場機会を探索するための有力なオプションと位置づけられる。

グローバル市場動向とR&D投資効率：限られたリソースのスマートな配分



AI需要で各社の戦略が分岐。キオクシアは8-9%の規律あるR&D投資で、独自の次世代メモリ階層とCBAにリソースを集中投下している。

主要メモリメーカー競合比較マトリクス（2026年時点）

評価軸	Samsung	SK hynix	Micron	Kioxia	Western Digital	YMTC
NAND市場シェア	29%	27%	11%	15%	5%	13%
最新量産積層数	400層(V10)	321層	300層	332層 (BiCS10)	332層(合併)	400層
ウェハ接合技術	CuA	CuA	CuA	CBA	CBA(合併)	Xtacking
R&D投資比率	8.5%	11.9%	13.5%	8～9%	9%	推計15%+
知財戦略の特徴	全方位覇権	HBM特化	米国製造強化	次世代メモリ階層	HDD+NAND融合	中国市場制覇

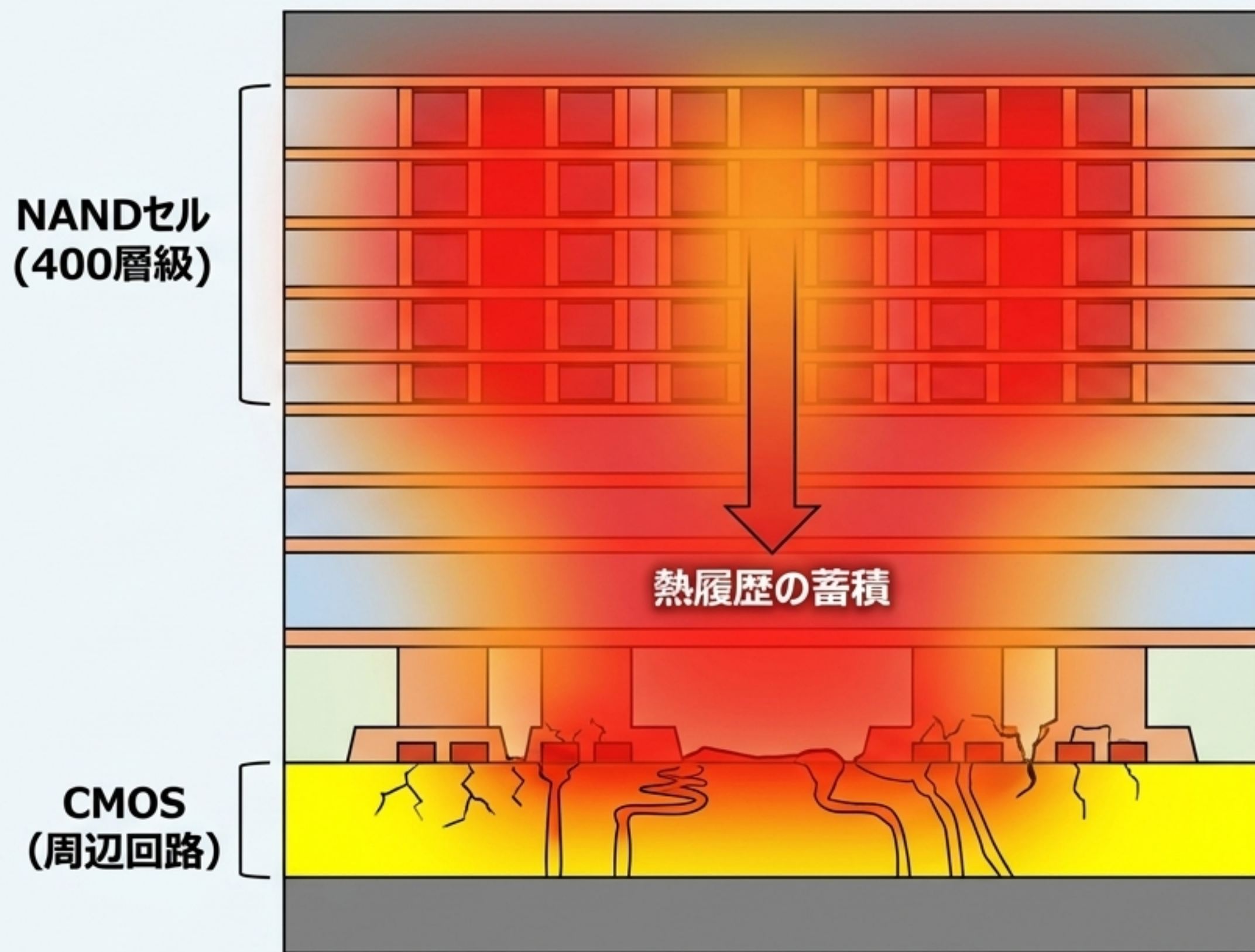
DRAM特化組（SK/Micron）に対し、キオクシアは「CBAによるNAND防衛」と「独自の次世代メモリ階層」で対抗する明確な差別化戦略を持つ。

次世代メモリ階層へのアプローチ：HBMとNANDのギャップを埋める



キオクシアは単一の「夢のメモリ」を追うのではなく、遅延・容量・コストの異なる複数のギャップを埋める「オプションのポートフォリオ」を構築している。

3D NAND積層の限界：なぜ「400層の壁」でアーキテクチャの転換が必要なのか？



現在の主流 (CuA/PUC)

1枚のウェハ上で、CMOS（周辺回路）の上に直接メモリセルを積み上げる方式。

構造的課題（熱履歴）

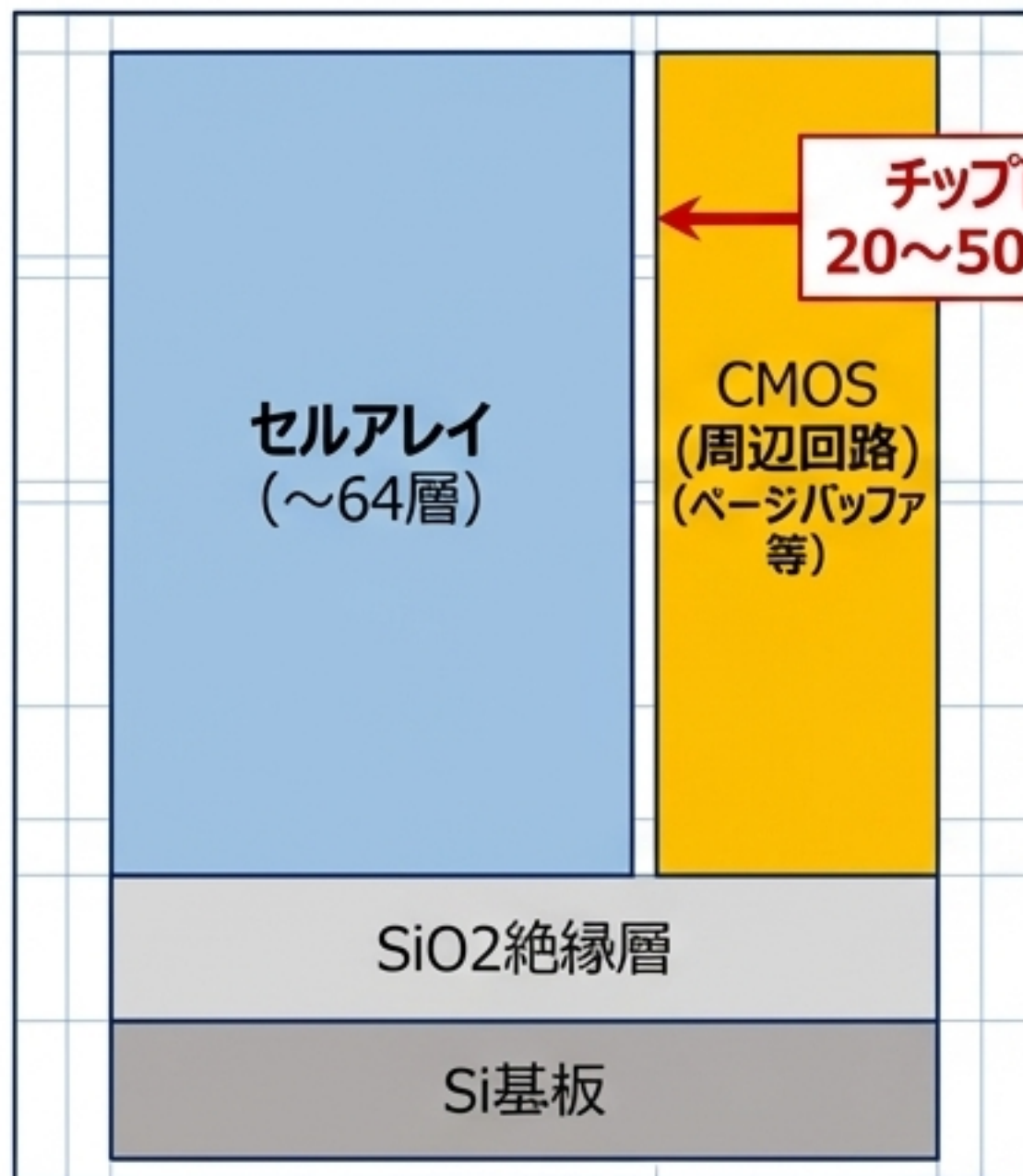
400層級に向けてセル積層工程が長期化・高温化すると、その真下にあるCMOSに深刻な熱ダメージ（熱履歴）が蓄積し、性能が劣化する。

物理的限界の到来

セル形成の高温化と、CMOSの微細化（熱に弱い）を同一ウェハ上で両立させることがトレードオフの限界を迎える。400層以降はセルとCMOSの物理的な「分離」が不可避。

3D NANDフラッシュ アーキテクチャの進化と比較

① CoA / CNA (従来型)



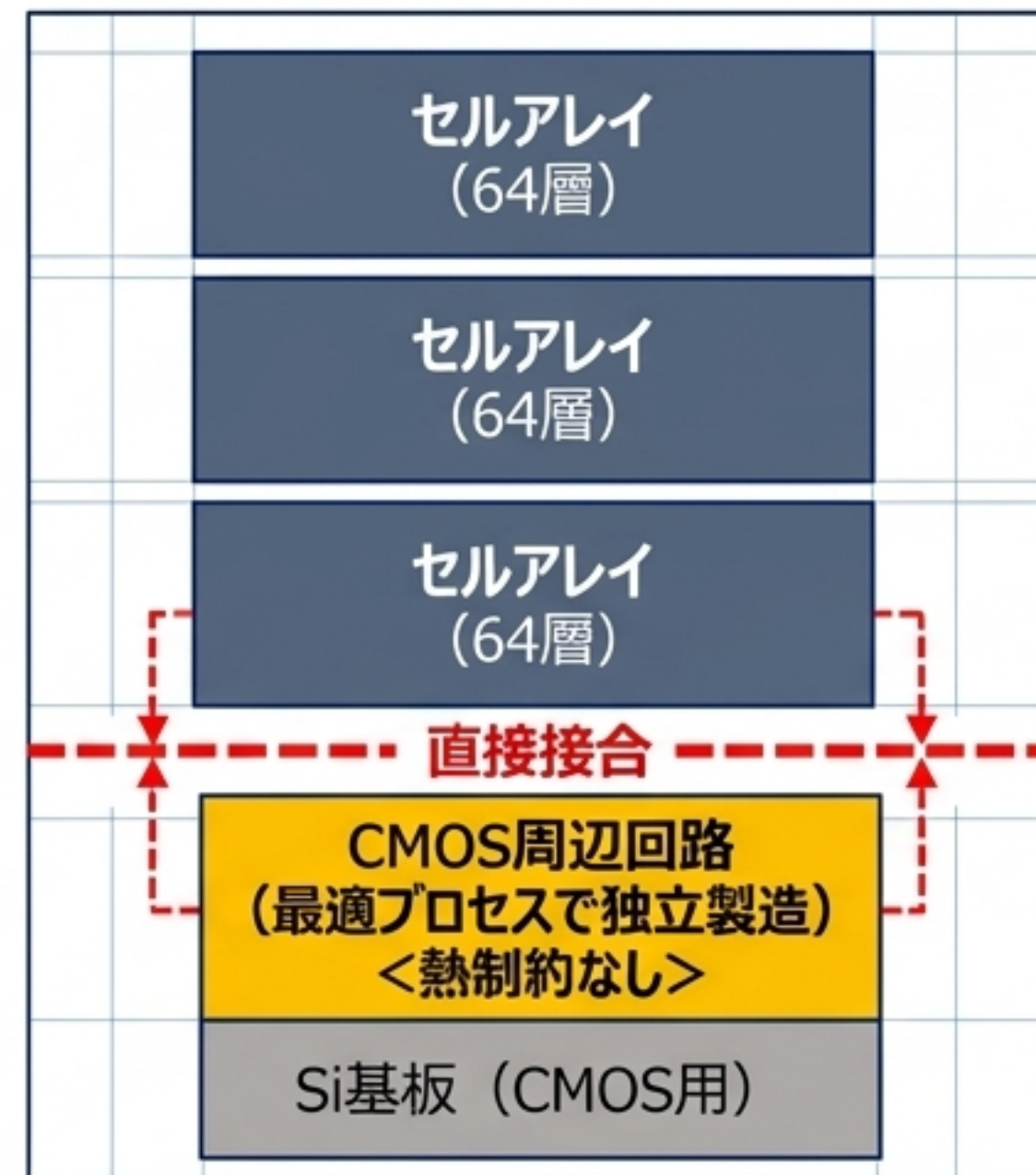
CMOSとセルを横に並べる。チップ面積が無駄に大きく（20-50%浪費）、非効率。

② CuA / PUC (主流)



CMOSの上にセルを重ねる。面積は削減されるが、「熱制約」によりCMOS性能に限界。

③ CBA / Xtacking (次世代)



CMOSウェハとセルウェハを別々に最適プロセスで製造し、最後に直接接合。熱制約がゼロになり、性能が最大化する。

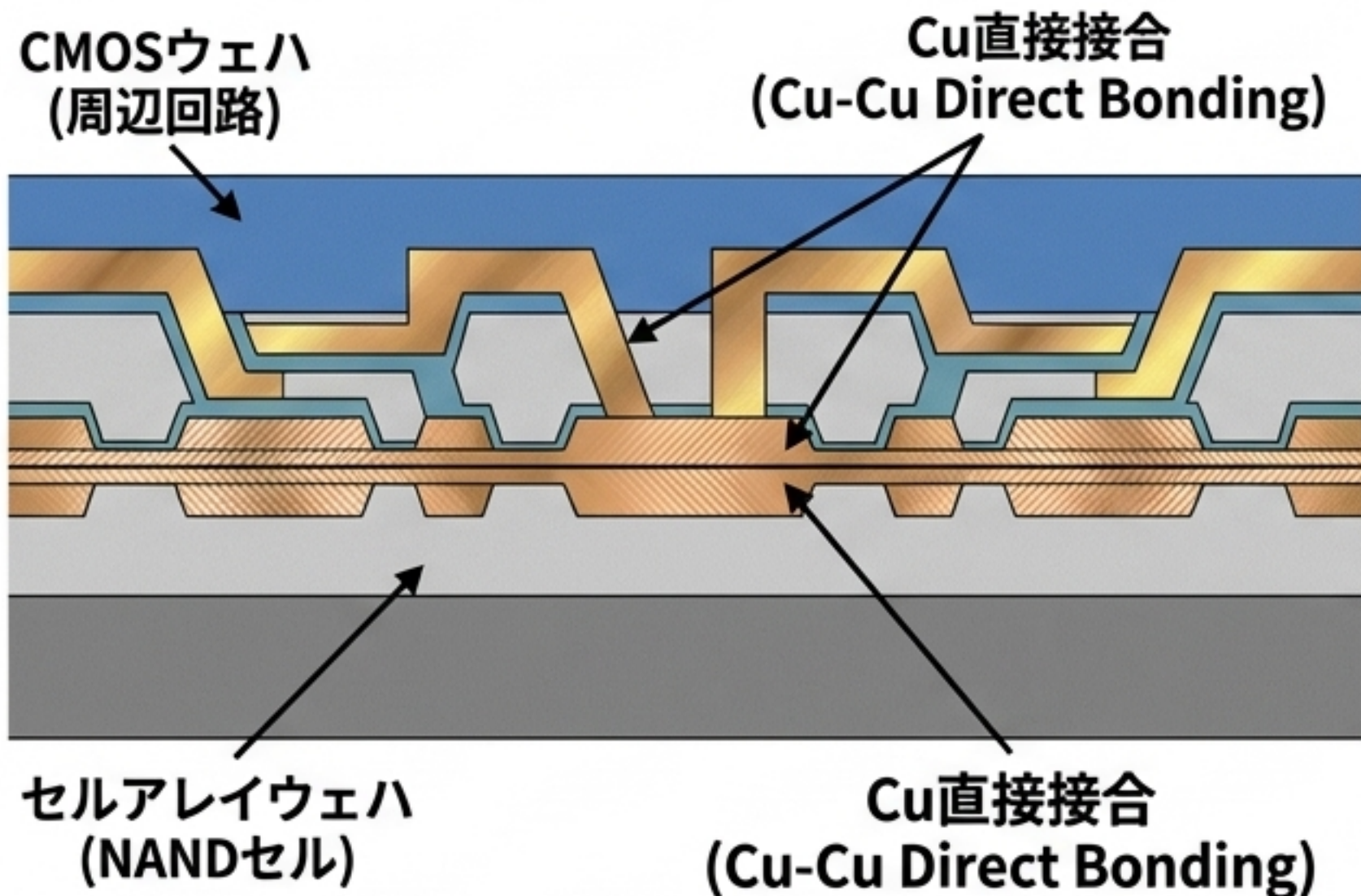
接合アーキテクチャ別：積層数の実用限界と理論限界



CBA/Xtackingに代表されるウェハボンディングは、単なる現世代の改良ではなく、1000層時代を見据えたプラットフォーム技術である。

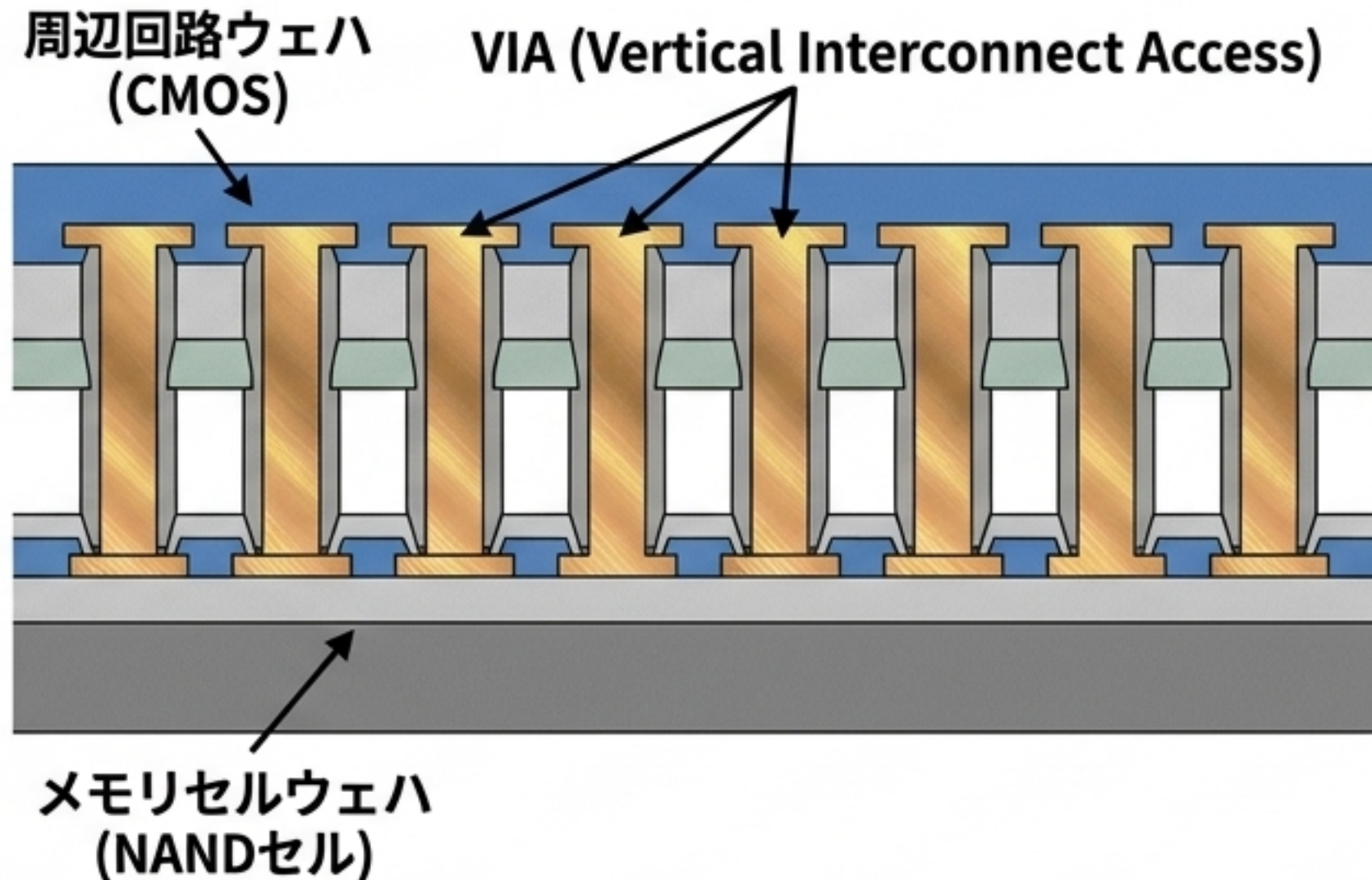
ハイブリッドボンディングの解剖学：CBA vs Xtacking

キオクシア：CBA (CMOS directly Bonded to Array)



- メカニズム: 両ウェハの表面に極小のCu (銅) パッドを形成し、ナノレベルで平坦化した後、向かい合わせてアニール処理により直接金属結合させる。
- アーキテクチャ: 最先端CMOSプロセスと最適セルプロセスを完全に独立して適用。

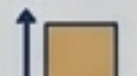
YMTC：Xtacking



- メカニズム: VIA (垂直配線) による接続。金属接点で電気接続を行うが、Cuパッドの直接接合とは物理的アプローチが異なる。
- アーキテクチャ: 完全なモジュラー設計による周辺回路とセルアレイの独立開発を重視。

CBAとXtackingの技術的メリットと製造上の極限課題

CBA メリット

-  I/Oスピード向上 (3.2~3.6 Gbps)
-  セル電流 +35%向上
-  チップ面積の大幅削減

Xtacking メリット

- 開発期間3ヶ月短縮
- 製造サイクル20%短縮 (モジュラー設計の恩恵)

CBAにおける製造上の極限課題 (Precision Reality)



① Cuパッド段差制御 (CMP研磨)

ナノメートル精度の平坦化。
「東京ドームを1枚の紙の厚さ以下に平坦化する」レベルの極限精度。



② ウェハ位置合わせ

300mmウェハを数百nm以内で接合。
「200ヤード先のゴルフボールを数ミリの誤差で狙う」精度。



③ ウェハ反り補正

複雑に反ったセルアレイウェハ (ポテトチップ状) を精密に補正して接合する応力制御技術。

統合戦略の全体像：8%のR&Dリソースが駆動する「縦と横」の双発エンジン

縦の進化
(Vertical Scaling) -
既存事業の徹底防衛



・CBA技術による限界突破
(400層→1000層超へ)



・製造プロセスの特許群
による圧倒的な参入障壁

R&D Engine
(売上高8~9%)

・MRAM
(SCM候補・組み込み)

・OCTRAM
(次世代DRAM候補)

・XL-FLASH
(低遅延SCM)

横の拡張 (Horizontal Expansion) - 将来市場の探索

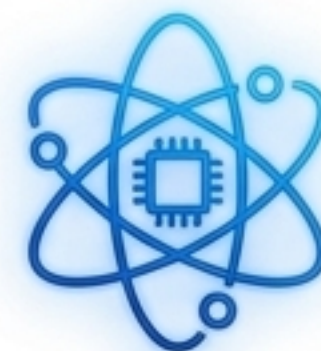
合存成インジクト

巨大なDRAM収益を持たないキオクシアにとって、CBAという「一つのウェハ接合プラットフォーム」を極めることが、現在の収益確保(縦)と次世代システム(横)の両方を最も効率的に実現するスマートな生存戦略である。

結論：多様化する次世代メモリインフラにおけるキオクシアの競争力



Core Defense
(3D NAND)



Next-Gen
Exploration

1.

1. CBAの優位性とプラットフォーム化

CBAを含むウェハボンディングは、高積層NANDの不可避な技術方向。歩留まりの極限課題（ナノ平坦化・反り補正）をいち早く克服することが足元の最大の競争優位となる。

2.

2. MRAMの現実的な位置づけ

64Gbit試作等の成果は顕著だが、NANDの単純な代替ではない。新たなメモリ階層（SCM等）のギャップを埋めるための重要な技術オプションとして機能する。

3.

3. 統合ポートフォリオの完成

「CBAによるNAND基盤の防衛」と「多様な次世代メモリの探索」という統合的な知財・技術ポートフォリオを通じ、AI時代の複雑化するインフラ要件に確実に応えるポジションを確立。