

ラピダスにおける技術戦略室と知的財産部の 統合的創設：CTO直下組織が牽引する「10年 後の次世代ファウンドリ基盤」の構築とグロー バル競争力の深層分析

Gemini 3.1 pro

序論：次世代半導体製造におけるパラダイムシフトとラピダスの 戦略的転換点

2026年3月31日、日経クロステックにおいて公開されたRapidus（以下、ラピダス）専務執行役員CTOである石丸一成氏のインタビュー（後編）は、世界の半導体産業における日本の立ち位置と未来の競争戦略を読み解く上で、極めて重要な示唆に富む戦略的宣言であった¹。本インタビューにおいて最も注目すべき核心は、単なる製造プロセスの微細化競争への追従ではなく、CTO直下に「技術戦略室」および「知的財産（IP）部」を新設し、「10年後の基盤をつくる」という長期的な視野に基づく組織の構造改革を明言した点にある⁴。

現在のグローバル半導体産業は、人工知能（AI）の爆発的な需要増、データセンターの高度化、そして自動運転技術の進展により、未曾有の処理能力と電力効率の向上を求めており、産業構造そのものがパラダイムシフトの只中にある⁵。この需要に応えるため、世界の主要ファウンドリである台湾のTSMC、韓国のSamsung Electronics、米国のIntelといった巨大企業は、トランジスタ構造を従来のFinFETからGAA（Gate-All-Around）へと移行させ、物理法則の限界に挑む熾烈な微細化競争を展開している⁷。このような巨額の資本と膨大な人的リソースが交錯するレッドオーシャンにおいて、2022年に設立されたラピダスは、過去の「失われた数十年」という途方もないビハインドを背負いながらも、最先端のロジック半導体の量産と、独自のビジネスモデルである「RUMS（Rapid and Unified Manufacturing Service）」構想の確立を急ピッチで進めている⁴。

本報告書は、石丸CTOのインタビュー内容を分析の基点とし、ラピダスが新たに導入した組織体制（技術戦略室・知財部）の戦略的意義を解剖する。さらに、同社が描く1.4nmおよび1nmへの野心的な技術ロードマップ、独自モデルである前工程・後工程統合型サービス（RUMS）とAI支援設計ツール（Raads）のメカニズム、そしてそれらを根底で支える巨大な資金調達スキームと地政学的なサプライチェーン再編（Pax Silica同盟）について、網羅的かつ深層的な分析を行う。

CTO直下組織（技術戦略室・知財部）の設立意図と戦略的意義

高度な技術集約型企業における最高技術責任者（CTO）の役割は、近年、単なる研究開発部門の

統括という狭義の技術管理から、企業の競争優位性を永続的に担保するための知財戦略、および人的資本戦略の統合マネジメントへと劇的に進化している。石丸CTOが2025年4月の就任直後に、自身の直轄組織として技術戦略室と知財部を配置したことは、ラピダスの技術開発が「外部パートナーとのオープンイノベーションによる協調」と「独自技術の保護・収益化による競争」という、相反する要素の高度なバランスの上に成り立つことを組織構造として体現したものである⁴。

「10年後の基盤」の構築に向けたパラダイムシフトと技術戦略室の役割

石丸CTOがインタビュー内で言及した「10年後の基盤をつくる」という命題は、単に現在進行中である2027年の2nmチップ量産化プロジェクト¹⁰の完遂を指すものではない。それは、2030年代に到来するであろう1.4nm、1nm、さらにはオングストローム(0.1nm)世代の半導体製造において、日本が再び主導権を握り、持続可能なイノベーションを生み出し続けるための構造的・組織的なエコシステムの構築を意味している。

新たに設立された技術戦略室は、目先のパイロットラインの歩留まり改善やプロセスチューニングといった短期的な課題解決だけでなく、10年先を見据えたマクロな技術ロードマップの策定を担う中枢機関として機能する。具体的には、次世代の極端紫外線(EUV)リソグラフィ技術(特に高NA EUV装置の導入戦略)、ルテニウム配線や2次元マテリアルといった新材料の探索、さらにはGAA構造の次を行く相補型FET(CFET)などの次世代トランジスタアーキテクチャの基礎研究と実装計画を統括する。半導体プロセス開発においては、基礎研究から量産適用までに通常5年から10年の歳月を要するため、現在の2nm開発と並行して次世代、次々世代のR&Dリソースを最適に配分する高度なポートフォリオ管理が技術戦略室に求められているのである。

人材育成ワーキンググループと人的資本への直接投資

技術戦略室の設立において極めて象徴的なのが、同室内に「人材育成ワーキンググループ」が内包されている点である。ラピダスが直面している最大のボトルネックは、最先端の製造装置の調達や莫大な資金の確保以上に、「高度なプロセス開発能力を持つエンジニアの枯渇」という人的資本の欠如にある。日本は過去数十年間にわたり、最先端のロジック半導体の自社製造から遠ざかっていたため、10nm以下の微細化プロセスノードを実地で経験した技術者が圧倒的に不足している。

石丸CTOは「人はコストではなく、資産である」と明言し、ラピダスに最適なエンジニア像の定義、それに基づく独自の採用・育成プログラムの設計、さらには既存社員のポテンシャルを最大限に引き出すためのリスクリング体制の構築を、技術戦略と完全に並走させる形で推進している⁴。この取り組みは、技術開発の成否が最終的には「暗黙知を持った人間」に依存するという、製造業の本質的な課題に対する直接的な解答である。

事実、ラピダスはこの人材育成の一環として、米ニューヨーク州アルバニーにあるIBMのAlbany NanoTech Complexに約150名の技術者を派遣している¹⁰。ここで日本のエンジニアたちは、IBMが世界に先駆けて開発した2nmウェーハ上のGAA(ナノシート)トランジスタの製造技術やノウハウを、座学ではなく実践的な技術移転(OJT)を通じて直接習得している¹⁰。このようなトップダウンでの実践的な教育投資と、社内の人材育成基盤のシステム化が、一過性の技術移転に終わらない「10年後の競争力」を担保するコアエンジンとなる。

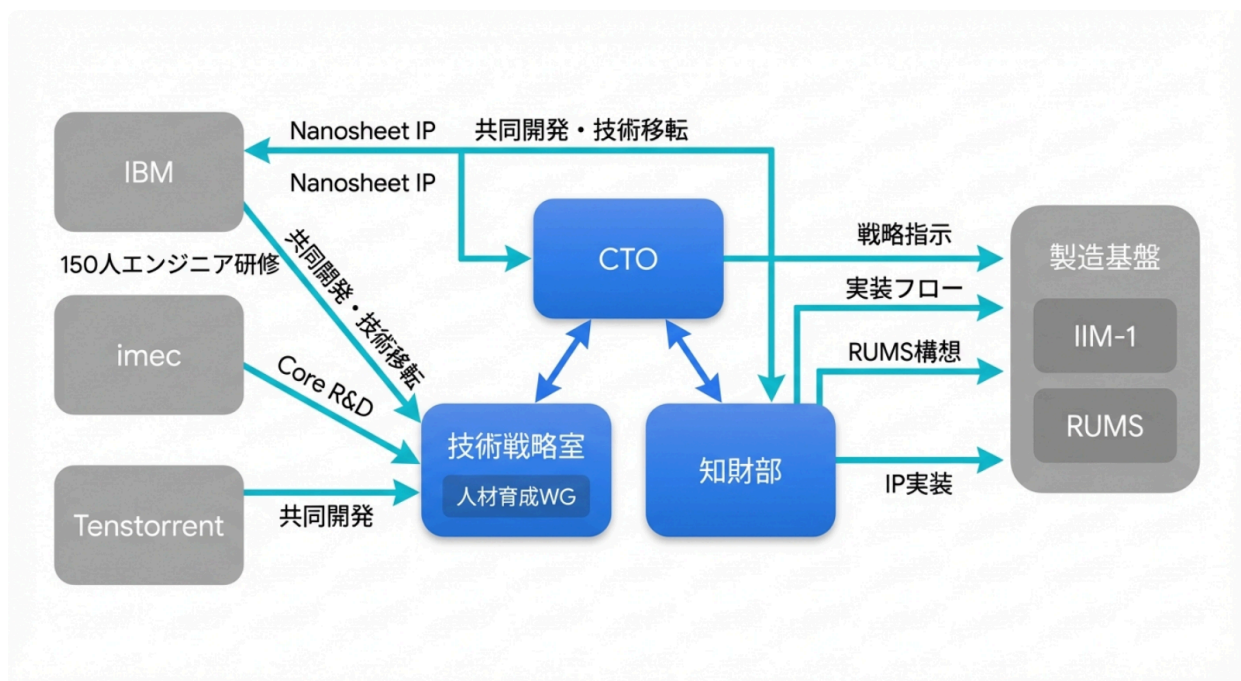
知的財産 (IP) エコシステムの構築と戦略的協業のマネジメント

一方、知財部をCTO直下に置くという戦略的決定は、ラピダスが完全な「クローズド・ファウンドリ」ではなく、「協調的知財ネットワーク」を志向していることを裏付けるものである。世界最大のファウンドリであるTSMCのような伝統的な企業は、自社の製造ノウハウ(レシピ)を厳格なトレードシークレットとして保護し、顧客の設計IPと自社のプロセスIPをブラックボックス化して高度に隔離・管理することで、他社の追従を許さない絶対的な優位性を築いてきた¹⁰。

対照的にラピダスは、時間的ビハインドを急速に埋めるため、IBMや欧州の最高峰ナノエレクトロニクス研究センターであるimecと強力な国際パートナーシップを結び、2nmおよび1nmプロセス技術の共同開発を行っている¹⁰。さらに、天才的なチップ設計者として知られるジム・ケラー氏が率いるカナダのTenstorrent(テンストレント)との間でも、エッジ・ツー・クラウド向けのAIプロセッサ領域におけるIP(知的財産)の共同開発に合意している¹⁴。

CTO直下の知財部は、これら外部パートナーからの技術移転(Inbound IP)を法務的および技術的な観点から精査し、自社の製造プロセスへの実装を摩擦なく促進する役割を担う。それと同時に、ラピダスが独自に開発した先進的なパッケージング技術や、後述するRUMS関連のプロセスノウハウ(Outbound IP)を適切に特許化し、他社に対する強固な競争障壁(モート)を構築するという、極めて高度な知財マネジメントを実行する。すなわち、知財戦略そのものが技術ロードマップの実現可能性と将来の収益性を左右する中核機能として、経営の最上流に位置付けられているのである。

ラピダスの次世代技術・知財エコシステム構造



CTO直下に配置された技術戦略室と知財部がハブとなり、IBMやimecなどの外部機関との技術連携、および社内の人的資本の育成（RUMS構想の実現）を統合的に管理するラピダスのエコシステム。

技術ロードマップの深掘り: 2nmの具現化から1.4nm、1nmへの圧倒的な加速

ラピダスが世界の半導体業界に与えた最大の衝撃の一つは、その極めて野心的かつ攻撃的な技術ロードマップの加速である。石丸CTOの主導のもと、同社はファウンドリ業界における絶対的王者であるTSMCとの技術的ギャップを、次々世代にあたる1nmノードにおいて「約半年」のレベルまで縮小するという、驚異的な目標を掲げている¹。

2nm世代（2027年量産）の進捗とIBM・imec連携による技術的ブレイクスルー

ラピダスは現在、北海道千歳市に建設中のIIM (Innovative Integration for Manufacturing) 施設において、2nm技術のパイロットラインを稼働させつつある²。このプロジェクトの進捗は非常に速く、2025年8月の段階でオランダASML製のEUV (極端紫外線) 露光装置を使用し、2nmのGAA (Gate-All-Around) テストチップのテープアウト (設計工程を完了し、フォトマスク作成と製造工程へ移行すること) を既に完了しているという実績がある¹³。

このラピダスの2nmプロセス (社内呼称: 2HPプロセス) は、トランジスタ密度において237 MTr/mm² (1平方ミリメートルあたり2億3700万個のトランジスタを集積) という極めて高い水準を主張しており、グ

ローバル市場において十分に競争力のあるスペックに仕上がっている¹³。この成果は、基礎技術を提供するIBMが長年培ってきたナノシートトランジスタ設計のノウハウと、imecが有する最先端のモジュールプロセス技術、そして日本の強力な素材・装置メーカーのインフラが三位一体となって融合した結果である¹⁰。量産化の目標時期は2027年に設定されており、パイロットラインでの歩留まり(良品率)の安定化と、量産に向けた強靱なサプライチェーン体制の構築が、現在の技術部門における最優先課題となっている¹¹。

1.4nm世代(2026年開発着手、2029年量産)の前倒し戦略とリスクテイク

2nmの量産ライン構築という巨大なタスクと並行して、ラピダスは立ち止まることなく次世代ノードへの布石を急ピッチで打っている。日経クロステックの報道や業界の分析によれば、ラピダスは2026年以内に1.4nm半導体製造技術の開発へ本格的に着手し、2029年頃の量産開始をターゲットとして設定している¹。千歳市のIIM施設は将来の拡張を見越した設計となっており、第2期工事は2027年以降に稼働する予定で、この拡張された施設が1.4nmスケールのウエーハを生産する中核拠点となる計画である¹⁰。

半導体プロセス開発の常識において、現行ノード(2nm)の量産および安定化が完了する前に、次世代ノード(1.4nm)の開発を本格化させることは、莫大な研究開発(R&D)リソースの分散を招く極めてリスクの高い戦略であると見なされる²。しかし、ラピダスの技術戦略室がこの前倒しを強硬に推進する背景には、微細化の物理的限界が近づく中で、次世代EUV技術(NA値が0.55に達する高NA EUV装置)の導入タイミングや、配線抵抗を劇的に下げる新材料の選定において、開発の遅れが直ちに先端市場からの完全な退出を意味するという、強烈な危機感と生存戦略がある。

TSMCとの「半年差」に迫る1nmノード競争の力学

さらに石丸CTOのインタビューにおいて最も注目を集めたのが、1nmノードにおいてTSMCとの技術的なタイムラグを「約半年」のレベルまで極限まで縮小するという強い決意の表明である¹。現在、業界のフロントランナーであるTSMCの1nmプロセスは、台湾の中部科学園区(Central Taiwan Science Park)の施設で大々的に展開される見込みであり、2027年末までに初期段階のリスク生産を完了し、2028年後半に本格的な量産体制に移行する予定と予測されている¹。

仮にラピダスが計画通り2029年頃に1.4nmから1nmクラスの技術を市場に投入し、安定した製造を証明できれば、TSMCに対する技術的な遅れは、設立当初の「数世代(約5年~10年の遅れ)」から、わずか「1世代未満(半年~1年程度の遅れ)」へと劇的に縮まることになる。これは世界の半導体業界にとって地殻変動に等しい出来事である。現在、ハイエンドファウンドリ市場は、TSMCを絶対的な王者とし、サムスン電子がそれを激しく追撃するという実質的な「二強体制」のダイナミクスの中にある¹⁷。ラピダスがこの半年差という射程圏内に入ることは、この寡占構造を根底から覆し、ハイエンドAIチップ市場における強力な「第三の選択肢」として確固たる地位を築くシナリオを現実のものとする。

各社の開発ロードマップと量産目標時期を比較分析すると、次世代ノードにおける競争の激化が明確に浮かび上がる。以下のデータは、現在公開されている情報および市場アナリストの予測を総合した、主要ファウンドリの2nmから1nm世代に至る量産開始時期の比較である。

企業名	プロセスノード	量産開始目標(推定含む)	備考・技術的特徴
TSMC	2nm (N2)	2025年後半～2026年前半	独自の低抵抗配線とMIMキャパシタで高いエネルギー効率を誇る。構造の複雑化を避けるため裏面電源供給は非採用。 ⁸
Samsung	2nm	2025年後半～2026年後半	3nmでのGAA先行導入の経験を活かし、歩留まりの改善に注力。TSMCを猛追する国家的な戦略の中核。 ¹⁶
Intel	1.8nm (18A)	2025年後半～2026年前半	業界に先駆けてGAA構造(RibbonFET)と裏面電源供給(PowerVia)を同時実装する野心的なプロセス。 ⁸
Rapidus	2nm (2HP)	2027年～2028年	トランジスタ密度237 MTr/mm ² 。IBM・imecとの強固な連携によるGAA技術。北海道千歳IIMIにて展開。 ¹³
TSMC	1nmクラス	2028年後半～2029年前半	台湾・中部科学園区にて大規模展開予定。2027年末にリスク生産を完了させる見込み。 ¹
Rapidus	1.4nm / 1nm	2029年～2030年	2026年より開発に着手。千歳IIMIの第2期工事に連動し、TSMCとの技術差を

			半年に縮小する目標を掲げる。 ¹
--	--	--	-----------------------------

このタイムラインが示す通り、2025年から2030年にかけての5年間は、半導体製造技術の歴史において最も濃密な技術革新の期間となる。ラピダスの強気なロードマップは、この技術的特異点とも言える時期に、日本の製造インフラと世界の知見を総動員して「時間の壁」を突破しようとする試みであると言える。

ラピダス独自のビジネスモデルと競争優位性の源泉

ラピダスが既存の巨大ファウンドリに対して挑む戦略は、単なるスケール競争（工場設備の規模と生産能力の力比べ）ではない。石丸CTOのインタビューをはじめ、同社が一貫して強調しているのは、チップの製造プロセスにおけるスピードの極限化と、顧客体験（設計から納品までのリードタイム）を根本から変革する「次世代ファウンドリモデル」の構築である⁴。

RUMS (Rapid and Unified Manufacturing Service) 構想による前工程・後工程の完全統合

ラピダスの戦略的ビジネスモデルにおいて、最も強力な差別化要因となるのが、ウェーハ上に回路を形成する「前工程 (Front-end)」と、製造されたチップを切り出し、基板に実装して最終的な製品パッケージに仕上げる「後工程 (Back-end)」を完全に統合した製造サービス「RUMS (Rapid and Unified Manufacturing Service)」コンセプトである⁴。

従来の半導体製造サプライチェーンにおいては、TSMCなどのファウンドリが前工程でチップを製造した後、それを台湾や東南アジアに拠点を置くOSAT (Outsourced Semiconductor Assembly and Test: 半導体組み立て・テスト受託会社) 企業に輸送し、後工程のアセンブリを行わせるという分業体制が一般的であった。この水平分業プロセスは、大量生産による規模の経済を追求する上では極めて効率的であった。しかし、現在の高度なAI半導体において必須となっている「ヘテロジニアス・インテグレーション (ロジックチップ、メモリ、I/Oチップなど複数の異なる機能を持つチップを一つのパッケージ内に高密度に統合する技術)」や、光通信をチップレベルで実現する「シリコンフォトニクス (光電融合技術)」の実装においては、この分業体制が限界を迎えつつある⁶。拠点間の物理的な輸送によるタイムロス、前工程と後工程の境界面における責任分解の曖昧さ、そしてパッケージング起因の歩留まり低下のフィードバック遅延が、重大なコスト増と開発遅延を引き起こしているのである。

ラピダスは、これら最先端の前工程プロセスと、2.5D/3D実装などの高度な後工程パッケージングプロセスを、同一拠点 (北海道千歳のIIM) の連続したクリーンルーム内でシームレスに完結させる。これにより、国際的な物流による遅延を完全に排除するだけでなく、前工程の製造データと後工程のテストデータをリアルタイムで同期させ、プロセス全体を通じた緻密な品質・歩留まり制御を実現する。石丸CTOの主導する技術戦略室は、このRUMSを技術的に担保するためのデータ連携基盤の構築に心血を注いでいる。

サイクルタイム半減技術とRaads (Rapidus AI-Assisted Design Solution) の

展開

石丸CTOは、製造開始からチップの納品に至るまでのリードタイム(サイクルタイム)を、従来の業界標準の半分にまで短縮するという驚異的な技術戦略を掲げている²⁰。この「超高速(Rapid)な製造」を実現するためのもう一つの重要な柱が、設計支援ツール「Raads(Rapidus AI-Assisted Design Solution)」の自社展開である⁴。

半導体の設計から製造に至るプロセスにおいて、設計者(ファブレス企業)と製造者(ファウンドリ)の間での仕様のすり合わせや、設計の物理的な修正(リピン:再設計)は、数ヶ月単位の莫大な時間的コストを要する。Raadsは、最新のAI技術と機械学習アルゴリズムを駆使し、顧客の論理設計プロセスに対して、ラピダス固有の製造プロセスの特性(PDK:プロセス開発キット)や物理的制約をリアルタイムに最適化・フィードバックするプラットフォームである。

このツールを導入することにより、顧客は設計の初期段階から製造時の歩留まりや物理的特性を正確に予測することができ、「一発での設計完了(First-time-right)」に極めて近づくことが可能となる。Raadsによる設計プロセスの圧縮と、RUMSIによる製造・パッケージングの統合が組み合わさることで、初めて「サイクルタイム半減」というラピダスの根幹的なバリュープロポジションが成立するのである。

顧客ターゲティング:TSMCのキャパシティ逼迫とセカンドソース需要の獲得

ラピダスが標榜するこの「スピード重視」のビジネスモデルは、現在の市場環境において極めて強かつタイムリーな訴求力を持っている。生成AIの爆発的な普及に伴うAI半導体市場の急成長により、Nvidia、Broadcom、AMD、Apple、Qualcommといったトップティアのファブレス企業からの製造委託注文が、TSMCの3nmおよび2nmプロセスに極端に集中している。その結果、世界最大規模のTSMC単独の生産能力をもってしても、市場全体の需要を満たすことが困難なキャパシティ逼迫(供給不足)の状況が顕在化している²¹。

TSMCから自社の求める十分な生産枠をタイムリーに確保できない企業や、TSMCへの一極集中による地政学的リスク(台湾有事リスク等)およびサプライチェーンの脆弱性を深刻に懸念するハイテク企業にとって、「TSMCに匹敵する技術力を持つ、TSMC以外のサプライヤー(セカンドソース)」の存在は、企業防衛上の死活問題となっている¹⁸。

ラピダスは、TSMCと正面から大量生産のボリューム(ウェーハ投入枚数)で価格競争をする戦略はとらない。そうではなく、製品の市場投入までの開発サイクルを極限まで短縮したいAIハードウェア・スタートアップや、クラウド事業者向けの特種なカスタマイズチップ(カスタムシリコン)、高速な納品を求めるハイエンドな顧客層をターゲットに据えることで、ニッチではあるが極めて高利益率な市場領域を獲得する戦略を描いている¹⁸。

資金調達とグローバルサプライチェーンにおける地政学的役割

オングストローム領域に踏み込もうとする先端ロジック半導体の開発と、それを支える巨大な量産施

設の建設には、文字通り天文学的な資本が必要とされる。ラピダスがこの壮大な技術ロードマップとビジネスモデルを実行に移すための生命線となるのが、日本における官民一体となった巨大な資金力と、日米韓の同盟関係を基盤とする地政学的なサプライチェーンの再構築である。

官民一体の資金調達(2,676億円)と政府の1兆円規模の強力な支援

2026年2月末、ラピダスは総額2,676億円(約17億米ドルに相当)という、日本のスタートアップ企業としては類を見ない規模の大型資金調達ラウンドを完了したと発表した¹¹。この調達内訳は、経済産業省(METI)の管轄下にある独立行政法人情報処理推進機構(IPA)を通じた政府由来の資金1,000億円と、民間企業32社からの直接出資1,676億円から成る¹¹。

民間からの出資企業には、設立当初から参画しているソニーグループ、NTT、ソフトバンク、キオクシア、トヨタ自動車系列のデンソーなどに加え、今回のラウンドで新たにキヤノン、富士フイルム、富士通、日本政策投資銀行(DBJ)、長瀬産業、JX金属など、日本のハイテク素材・半導体製造装置・ICT産業を代表する重厚長大な企業群が名を連ねている¹¹。これにより、設立時の初期出資金73億円と合わせて、ラピダスの資本金及び資本準備金の総額は2,749億5,000万円という巨大な規模に達した⁹。

これら民間企業の出資は、単なる財務的リターンを求めた純投資ではない。キヤノンは次世代の露光装置インフラ、JX金属や富士フイルムは極端紫外線(EUV)向けの高純度マテリアルやレジスト、NTTは次世代光通信構想(IOWN)と連動するシリコンフォトニクス技術、そしてソフトバンクは自社のAIデータセンター向けプロセッサの安定調達といったように、出資企業それぞれがラピダスを中心に形成される巨大な国内半導体エコシステムと事業上の強いシナジーを持っている¹¹。

しかしながら、2nm世代の量産インフラをゼロから構築するためには、総額でおよそ5兆円規模の資金が必要であると試算されている。日本政府(経済産業省)は、2027年度の2nm量産開始という国家的マイルストーンを死守するため、ラピダスに対して研究開発費の補助からIIM施設の設備投資支援に至るまで、総額1兆円(約64億米ドル)を超える莫大な国費を段階的に拠出する方針を固めている²⁴。この国策としての圧倒的かつ継続的なバックアップ体制が、最先端ファウンドリ特有の「初期の莫大な減価償却費が利益を圧迫する」という最大のハードル²²を越えるための、不可欠なセーフティネットとなっているのである。

Pax Silica同盟と日米韓のフルスタック・ソブリン戦略

ラピダスの挑戦は、単なる一企業の事業戦略という枠組みを大きく超え、自由主義陣営全体における半導体サプライチェーンの再構築という、極めて重大な地政学的意味を持っている。近年、経済安全保障の文脈で提唱されている「Pax Silica(パックス・シリカ:半導体による平和)」同盟は、米国、日本、韓国の3カ国が強固に連携し、次世代AI向け半導体(2nmおよび1.4nmノード)の安定かつ安全な供給網を確保するための多国間枠組みである²⁵。

この同盟構造において、ラピダスは極めて重要なハブの役割を果たす。米国(IBM)が基礎的なアーキテクチャ設計ノウハウを提供し、日本が有する世界最高水準の半導体製造装置・素材産業の強みを結集し、ラピダスがそれらを統合して最先端ロジックチップの実践的な量産化を担う。これは、これまでの緩やかな「Chip 4」アライアンスをさらに実務レベルに落とし込み、レアアースの調達から最先

端ロジックの製造、そして最終的なパッケージングに至るまでのプロセスを同盟国内で完結させる「フルスタック・ソブリン(完全な技術主権)」戦略の具現化である²⁵。

HBM(広帯域メモリ)連携と次世代AI半導体エコシステムの完成

現代のAIの学習・推論性能を決定づけるのは、ロジック半導体の純粋な演算能力だけではない。プロセッサとメモリの間でいかに高速かつ大量のデータをやり取りできるかという、データ転送の帯域幅が最大のボトルネック(メモリ・ウォール)となっている。Pax Silica同盟の枠組みのもと、ラピダスが製造するAIロジックチップは、韓国(サムスン電子やSKハイニックス)が世界市場において独占的な強みとシェアを持つHBM(High Bandwidth Memory: 広帯域メモリ)と強力に連携する構造が構築されている²⁵。

同盟国間での優先的かつ安定的なHBMの供給コミットメントと、ラピダスが強みとする2.5D/3D先進パッケージング技術(RUMS)が融合することで、日本や米国のファブレス企業によって設計され、ラピダスで製造されたAIチップは、世界最速のメモリインフラへの即時かつ低遅延なアクセスをハードウェアレベルで獲得することになる²⁵。この「最先端ロジック(日米)と最高速メモリ(韓)の同期・統合体制」こそが、台湾のファウンドリへの一極集中という重大な地政学リスクを分散し、次世代AI開発のグローバルな覇権を握るための、国際的エコシステムの真髄に他ならない。

競合環境の分析:TSMC、Samsung、Intelとの熾烈な覇権争い

ラピダスが目指す「TSMCとの技術差を半年まで縮小する」というシナリオが机上の空論ではなく現実味を帯びるためには、現在最前線を走る巨人たちの技術動向、戦略的シフト、そしてそれぞれが抱える内部的なボトルネックを精緻に分析する必要がある。

TSMCの絶対的優位とキャパシティ限界のジレンマ

現在、世界のロジック半導体ファウンドリ市場はTSMCの「一強」とも言える状態にある。TSMCの圧倒的な競争力の源泉は、長年の蓄積による極めて優秀で膨大なエンジニア層、素材から装置に至る台湾国内の強力なサプライチェーン網、そして成熟したレガシープロセスから最先端プロセスに至るまで、広範な生産能力を包括的かつ安定的に提供できる総合的なマネジメント力にある¹⁰。次世代の2nmノード(N2プロセス)においても、TSMCは独自の低抵抗配線層と超高機能なMIMキャパシタを導入し、業界トップのトランジスタ集積度と電力効率を実現すると公言しており、その技術的リーダーシップは揺るぎないように見える⁸。

しかし、巨像に死角がないわけではない。TSMCはN2プロセスにおいて、プロセスの複雑化とリスク増大を避けるため、Intelなどが強気に採用する「裏面電源供給(Backside Power Delivery Network)」技術の導入を戦略的に見送っている⁸。裏面電源供給は、トランジスタの極限微細化に伴う信号配線と電源配線の干渉や配線抵抗の増大を劇的に改善する次世代の要となる技術であり、TSMCはこの技術の導入をN2P以降(1.6nm世代)へと遅らせるという保守的な判断を下している⁸。また前述の通り、AI特需によるキャパシティの極端な逼迫は、供給先の多様化とリスク分散を求めるNvidiaやAppleといった巨大ファブレス企業側に不満を蓄積させており、この「TSMCでは全ての需要をカバー

しきれない」という物理的な限界こそが、ラピダスや他社がハイエンド市場に食い込むための最大の契機となっているのである¹⁸。

IntelのCHIPS法支援と裏面電源供給 (Backside Power) への賭け

かつてのマイクロプロセッサの王者であるIntelは、米国の半導体サプライチェーン回帰を目指す「CHIPS法 (CHIPS and Science Act)」の最大の受益者として、国内製造の復権に向けて今後5年間で1,000億ドル(約15兆円)規模という途方もない巨額投資を行っている²⁶。国防総省向けのセキュアなチップ供給プログラム (Secure Enclave) だけでも30億ドルの追加助成を獲得するなど、米政府の支援は手厚い²⁶。技術的にも、Intelは自社の18A (1.8nmクラス) プロセスにおいて、業界に先駆けてGAA構造 (RibbonFET) と裏面電源供給 (PowerVia) を同時に実装するという、技術的難易度が極めて高い攻撃的なロードマップを敷き、技術的優位性の奪還を狙っている⁸。

しかしながら、Intelは足元の業績悪化による大規模なレイオフの実施や、新設したファウンドリ事業部門の巨額の営業赤字といった、深刻な財務的・組織的課題に直面している²⁶。アイルランドの工場の株式49%をアポロ・グローバル・マネジメントに110億ドルで売却したり、ブルックフィールド・アセット・マネジメントと共同でアリゾナの新工場に300億ドルを調達するスキームを組むなど、膨大な設備投資負担を軽減するための外部資金調達に奔走している²⁶。最先端プロセス技術の研究開発に成功したとしても、それが直ちに外部顧客を獲得し、ファウンドリビジネスとしての収益性確保に結びつくとは限らないという厳しい現実が、Intelの前に立ちはだかっている。

Samsungの歩留まり改善と国家的K-半導体戦略

Samsung Electronicsは、TSMCの最大のライバルとして、3nm世代においていち早くGAA構造を導入するという先行投資を行ったものの、初期段階では歩留まりの安定化に深刻な苦心を重ねてきた経緯がある。しかし、現在その2nmプロセス開発においては歩留まりが継続的に改善傾向にあると報告されており、さらにその先の1nmに向けたロードマップも明確化しつつある¹⁶。同社は韓国政府が強力に推進する「K-半導体戦略 (2030年までに総額4,500億ドルの官民投資計画)」の後押しを受け、自社が得意とするHBMメモリとAI半導体のロジック製造を垂直統合的に提供するエコシステムの強化を図っている⁶。

ラピダスにとってSamsungは、技術的なマイルストーンの達成度を競う上で、最も直接的なベンチマークとなる存在である。もしTSMCの1nmプロセス展開が計画通り2028年後半に進んだ場合、Samsungに対して約2年のリードを奪うと業界では予測されている¹⁶。ラピダスが石丸CTOの宣言通りに「TSMCとの差を半年」まで縮めることができれば、それは必然的に、長年業界第2位の座に君臨してきたSamsungの技術ロードマップを凌駕する、あるいは少なくとも同等レベルに肩を並べることを意味する。これは、アジアにおける半導体製造の勢力図を根本から書き換えるパラダイムシフトとなる。

結論: ラピダスが直面する課題と次世代基盤確立への条件

日経クロステックにおける石丸一成CTOのインタビューは、ラピダスが単なる「2nmプロセスの国産化」という期限付きの製造プロジェクトから、人材と知財を両輪として持続的な技術覇権を狙う恒久的

な組織へと変貌を遂げつつあることを社会に強く印象付けた。CTO直下への「技術戦略室」と「知財部」の設置は、人材という「生きた無形資産」と、IPという「法的に保護された知的財産」を、設備投資と同等以上の戦略の核に据えたことを明確に表しており、「10年後の基盤をつくる」という言葉の重みを構造的に裏付けるものである。

ラピダスがこの壮大かつ極度に圧縮されたロードマップ（2027年の2nm量産、2029年の1.4nm量産、そして1nmノードでのTSMCへの肉薄）を単なるビジョンで終わらせず、現実のものとするためには、今後数年間で以下の3つの厳しい条件を確実にクリアしていく必要がある。

第一に、**RUMS**と**Raads**による革新的な顧客価値の確実な実証である。TSMCやSamsungとウェーハの生産規模（ボリューム）で直接対決できない以上、「サイクルタイム半減」と「一発での設計完了（First-time-right）」というラピダス独自の提供価値が、一部の先端企業（AIチップや特殊用途ASIC開発を行うファブレス企業）のサプライチェーンに対して、圧倒的なコストパフォーマンスとタイム・トゥ・マーケットの優位性を持つことを、初期のIIMパイロットラインで早急に証明しなければならない。

第二に、オープンイノベーション環境における高度な知財マネジメントの精緻化である。IBMやimecといった外部の世界最高峰の研究機関から獲得した基礎的な技術基盤を、単なる模倣に留まらず自社の製造ラインに合わせて消化吸収し、さらにTenstorrent等との連携を通じて自社独自のIPポートフォリオ（特に先端パッケージング技術や自動設計最適化に関するIP）を構築していく、知財部の法務的・技術的な手腕が問われる。技術の積極的な取り込みと、自社コア技術の不用意な流出防止という、相反する要請を高度に制御するバランス感覚が不可欠である。

第三に、継続的な巨額資金の調達と、強固な国際協調体制（同盟）の維持である。今回調達した民間資金2,676億円と政府の1兆円規模の支援は、あくまで事業立ち上げのためのスタートアップフェーズの資金に過ぎない。今後、1.4nm、1nm向けの高価な次世代EUV露光装置の搬入が進み、巨大な量産設備が本格稼働し始めると、莫大な減価償却費が利益を極度に圧迫する「死の谷」の時期が必ず訪れる。この時期を乗り越え、次世代へのR&D投資を継続するためには、国内外の金融市場および顧客企業からの大規模な投資を継続的に呼び込み続ける必要がある。そのためには、Pax Silica同盟のような地政学的枠組みの中で、ラピダスが「自由主義陣営の経済安全保障に不可欠なインフラ」としての絶対的な地位と信用を確立することが求められる。

ラピダスの挑戦は、失われた日本の半導体産業の復権という強烈なナショナル・アジェンダであると同時に、世界的なAI半導体の供給網リスクを分散し、持続可能なテクノロジーの発展を支えるグローバルなソリューションの提示でもある。技術戦略室と知財部という新たな両輪を得た石丸CTOの強力な指揮の下、今後数年間における千歳IIMでの技術的ブレイクスルーの連続と、それに伴う量産歩留まりの実績が、同社の運命を、ひいては2030年代の世界の半導体覇権の行方を決定づけることになるだろう。

引用文献

1. [News] Rapidus Accelerates 1nm Push, Reportedly Targets Six-Month Gap with TSMC - TrendForce, 4月 1, 2026にアクセス、
<https://www.trendforce.com/news/2026/03/30/news-rapidus-accelerates-1nm-push-reportedly-targets-six-month-gap-with-tsmc/>

2. Rapidus Accelerates 1nm Push, Reportedly Targets Six-Month Gap with TSMC | SemiWiki, 4月 1, 2026にアクセス、
<https://semiwiki.com/forum/threads/rapidus-accelerates-1nm-push-reportedly-targets-six-month-gap-with-tsmc.24851/>
3. CTO石丸一成メッセージ「2nmパイロットライン始動！「できる」という確信を胸に - YouTube, 4月 1, 2026にアクセス、
<https://www.youtube.com/watch?v=ypFxx5sCCSM>
4. Rapidus' 2nm pilot line starts operation "We Can Do It!" — Rapidus CTO Kazunari Ishimaru on the future of Japan's advanced semiconductors, 4月 1, 2026にアクセス、
<https://www.rapidus.inc/en/interview/it0002/>
5. pwc-semiconductor-and-beyond-2026-full-report.pdf, 4月 1, 2026にアクセス、
<https://www.pwc.com/gx/en/industries/technology/pwc-semiconductor-and-beyond-2026-full-report.pdf>
6. Global Chip Race Intensifies: Governments Pour Billions into AI-Driven Semiconductor Resilience - FinancialContent - Stock Market, 4月 1, 2026にアクセス、
<https://markets.financialcontent.com/stocks/article/tokenring-2025-10-22-global-chip-race-intensifies-governments-pour-billions-into-ai-driven-semiconductor-resilience>
7. TSMC's 2nm chips: The results are out. - SemiWiki, 4月 1, 2026にアクセス、
<https://semiwiki.com/forum/threads/tsmcs-2nm-chips-the-results-are-out.24329/>
8. TSMC to Lead Rivals at 2-nm Node, Analysts Say - EE Times, 4月 1, 2026にアクセス、
<https://www.eetimes.com/tsmc-to-lead-rivals-at-2-nm-node-analysts-say/>
9. Company Profile - Rapidus Corporation, 4月 1, 2026にアクセス、
<https://www.rapidus.inc/en/about/>
10. Rapidus will be TSMC's strongest rival in the near future - Andy Lin's Long-term Stock Investment Blog, 4月 1, 2026にアクセス、
<https://www.granitefirm.com/blog/us/2024/10/02/rapidus-tsmcs-rival/>
11. Rapidus Secures 267.6 Billion Yen in Funding from Japan Government and Private Sector Companies This strategic funding plan will enable Rapidus to steadily progress from its current R&D phase to mass production of 2nm logic semiconductors by 2027 - Information, 4月 1, 2026にアクセス、
https://www.rapidus.inc/en/news_topics/information/rapidus-secures-267-6-billion-yen-in-funding-from-japan-government-and-private-sector-companies/
12. Rapidus, IBM, and the Billion-Dollar Silicon Sovereignty Bet - SemiWiki, 4月 1, 2026にアクセス、
<https://semiwiki.com/semiconductor-manufacturers/361523-rapidus-ibm-and-the-billion-dollar-silicon-sovereignty-bet/>
13. News Posts matching 'Rapidus' - TechPowerUp, 4月 1, 2026にアクセス、
<https://www.techpowerup.com/news-tags/Rapidus>
14. Rapidus and Tenstorrent Agree to Joint IP Partnership Accelerating Development of AI Edge Device Domain Based on 2nm Logic Semiconductors - Information, 4月 1, 2026にアクセス、
https://www.rapidus.inc/en/news_topics/information/rapidus-and-tenstorrent-agree-to-joint-ip-development-en/

15. 5. Japan's Strategic Comeback in the Global Chip Race 126 Japan aims to revitalize its semiconductor industry through large go, 4月 1, 2026にアクセス、
<https://amro-asia.org/wp-content/uploads/2025/03/SI5.-Japans-Strategic-Comeback-in-the-Global-Chip-Race.pdf>
16. Samsung advances leading-edge process technology: 2nm yield rate surpasses 60%, aiming for 1nm by 2030 | Bitget News, 4月 1, 2026にアクセス、
<https://www.bitget.com/news/detail/12560605320816>
17. Rapidus races TSMC and Samsung in 1nm chip foundry - Communications Today, 4月 1, 2026にアクセス、
<https://www.communicationstoday.co.in/rapidus-races-tsmc-and-samsung-in-1nm-chip-foundry/>
18. Where Is Rapidus Heading? Questions Raised about "Semiconductor Support" through Examination of Taiwan's TSMC - Japan Policy Forum, 4月 1, 2026にアクセス、
<https://www.japanpolicyforum.jp/economy/pt2025022718054715125.html>
19. Rapidus Stories, 4月 1, 2026にアクセス、
<https://www.rapidus.inc/en/stories/>
20. Message from Kazunari Ishimaru --2nm Pilot Line Launched! Fueled by the conviction "We can do this." - YouTube, 4月 1, 2026にアクセス、
<https://www.youtube.com/watch?v=dgwiOfqYoLM>
21. TSMC's capacity crunch leaves door ajar for Intel and Samsung - Bits&Chips, 4月 1, 2026にアクセス、
<https://bits-chips.com/article/tsmcs-capacity-crunch-leaves-door-ajar-for-intel-and-samsung/>
22. Nikkei Asia: "Japan chip venture Rapidus aims for 2-nm prototype line by 2025" - Reddit, 4月 1, 2026にアクセス、
https://www.reddit.com/r/hardware/comments/10kqors/nikkei_asia_japan_chip_venture_rapidus_aims_for/
23. Notice Regarding Investment in Rapidus Corporation - Newsrelease | Nagase & Co., Ltd., 4月 1, 2026にアクセス、
https://www.nagase.co.jp/english/newsrelease/2026/20260227_PR_02/
24. Chip Industry Week In Review - Semiconductor Engineering, 4月 1, 2026にアクセス、
<https://semiengineering.com/chip-industry-week-in-review-114/>
25. Pax Silica: The US, Japan, and South Korea Finalize Landmark Alliance to Secure the AI Future - FinancialContent - Stock Market, 4月 1, 2026にアクセス、
<https://markets.financialcontent.com/wral/article/tokenring-2025-12-29-pax-silica-the-us-japan-and-south-korea-finalize-landmark-alliance-to-secure-the-ai-future>
26. Too Good to Lose: America's Stake in Intel - CSIS, 4月 1, 2026にアクセス、
<https://www.csis.org/analysis/too-good-lose-americas-stake-intel>